

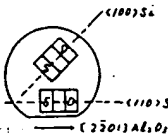
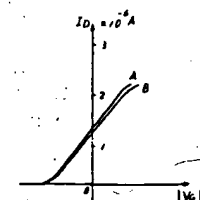
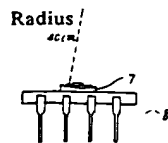
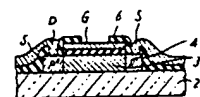
257/255  
~~627~~

(54) SÔS SEMICONDUCTOR DEVICE

- (11) Kokai No. 53-27371 (43) 3.14.1978 (19) JP  
(21) Appl. No. 51-101149 (22) 8.26.1976  
(71) KOGYO GIJUTSUIN (JAPAN) (72) SHINJI ONGA (1)  
(52) JPC: 99(5)E3:H0  
(51) Int. Cl.<sup>2</sup>. H01L29/78,27/04,29/04

**PURPOSE:** To increase the mobility of positive holes in the SOSMOS device, by selecting the channel direction in the (001) Si single crystal layer so that it falls in line with the  $\langle 110 \rangle$  Si direction and exerting a compressive stress in the direction.

**CONSTITUTION:** There are provided on the face of sapphire ( $-1012$ ) a (001) intrinsic Si single crystal 3,  $1\mu\text{m}$  thick, and  $P^+$  layers 4, 5, and a  $\text{SiO}_2$  layer 6 and a gate electrode G are formed thereon. If the direction connecting the layers 4, 5 is arranged so as to fall in line with the  $\langle 110 \rangle$  Si direction and the device is mounted on an IC package 8 having a concave stage 7 of 40 cm in the radius of curvature, the Si film can be exerted with a compressive strain of about  $7.5 \times 10^{-4}$ . Under such condition, the SOSMOS device 1 shows such characteristics that the drain current increases by about 10%, further the threshold voltage is constant, and the mobility of positive holes increases by about 10%. If the radius of curvature is further decreased, the mobility further increases.



BEST AVAILABLE COPY

⑨日本国特許庁  
公開特許公報

⑩特許出願公開  
昭53—27371

⑤Int. Cl.<sup>2</sup> 識別記号 ⑥日本分類 庁内整理番号 ③公開 昭和53年(1978)3月14日  
H 01 L 29/78 99(5) E 3 6603—57  
H 01 L 27/04 99(5) H 0 6513—57 発明の数 1  
H 01 L 29/04 審査請求 有

(全 4 頁)

④SOS半導体装置

芝浦電気株式会社総合研究所内

⑦特 願 昭51—101149  
⑧出 願 昭51(1976)8月26日  
⑨発 明 者 恩賀伸二  
川崎市幸区小向東芝町1 東京

⑦発 明 者 大村八通  
川崎市幸区小向東芝町1 東京  
芝浦電気株式会社総合研究所内  
⑦出 願 人 工業技術院長

明 細 書

1. 発明の名称

SOS半導体装置

2. 特許請求の範囲

絶縁性単結晶サファイア基板上に形成された(001)Si単結晶層と、このSi単結晶層に互いに離隔して、設けられたソース領域およびドレイン領域と、このソース領域と、ドレイン領域間上に絶縁膜を介して設けられたゲート電極とを具備し、その伝導担体を正孔として、前記ソース領域とドレイン領域とを結ぶチャネル方向を<110>Si方向に設計し、このソース領域とドレイン領域とを結ぶチャネル方向に圧縮歪を加えて使用することを特徴とするSOS半導体装置。

3. 発明の詳細な説明

本発明は絶縁性単結晶サファイア基板上にSi単結晶層を設け、ここにMOS半導体装置を形成してなるSOS(Silicon on Sapphire)半導体装置に関する。

SOS半導体装置は、従来のバルクSi基板上にSi単結晶層を成長形成した半導体装置と比較して、

高速動作が可能であり、又、特別な素子分離を必要とせず、歩損度を上げる等の利点があると考えられてきた。

しかしながら、異極性単結晶基板上に、Si単結晶層を成長形成するため、バルクSiを用いた場合に比して、Si単結晶層における正孔移動度が小となる傾向が強い。

このため電子及び正孔の両方をキャリアとする半導体装置、例えばCMOS装置をSOSへ応用することが困難であった。

本発明者等はSOSMOS装置を種々検討した結果、MOS装置のチャネル方向(ソース領域と、ドレイン領域とを結ぶ方向)を選択し、かつ、チャネル方向に圧縮歪力を加えることによつて、正孔(ホール)の移動度の向上がもたらされることを見出した。

本発明は、上記新しい知見に基づいてなされたもので、SOSMOS装置において、(001)Si単結晶層におけるチャネル方向を<110>Si方向に設計し、チャネル方向に圧縮歪を加えることにより正孔

の移動度の向上した SOS 半導体装置を提供するものである。

以下本発明を一実施例により図面を用いながら説明する。まず本組の第 1 の実施例としてディプレッション型 SOSMOS 装置について説明する。

SOSMOS 装置(1)の構造について、まず説明する。SOSMOS 装置(1)の断面は第 1 図に示す如くであり、その配置は第 2 図に平面図で示す。

この SOSMOS 装置(1)は絶縁性単結晶サファイア(T012)面(2)上に、(001)真性 Si 単結晶層(3)が、設けられた構造をとっている。

この Si 単結晶層(3)の厚さは、例えば  $1.0\mu\text{m}$  とした。

この Si 単結晶層(3)には、互いに離隔して  $P^+$  のソース領域(4)および  $P^+$  のドレイン領域(5)が設けられている。ソース・ドレイン領域間の間隔は、例えば  $10\mu\text{m}$  程度としたが、間隔は数  $\mu\text{m}$  程度 +  $\mu\text{m}$  としてもよい。

このソース・ドレイン領域(4)と(5)は例えばボロンを熱拡散することにより形成した。勿論イオン

注入法を用いて、 $P$  形イオンをドーピングしてもよい。

一方ソース・ドレイン領域向上には、絶縁膜例えば  $\text{SiO}_2$  膜(6)が厚さ  $1000\text{\AA}$  で形成されている。そして、この  $\text{SiO}_2$  膜(6)上にゲート電極(7)が設けられている。このゲート電極(7)は、金属、多結晶 Si その他の導体層で形成することができる。又、前記ソース・ドレイン領域(4),(5)には、夫々、ソース電極(8)、ドレイン電極(9)が設けられている。

このような構造において、本実施例では前記ソース・ドレイン領域間の所謂チャネル領域には、ボロン(10)を、イオン注入技術により打ちこんだ。打ち込み条件は、たとえば、 $80\text{KV } 5 \times 10^{15}/\text{cm}^2$  とした。このような SOSMOS 装置(1)は、第 2 図に示す如き方向に配置されている。

すなわち  $\langle 110 \rangle$  Si 方向にソース・ドレイン領域を結ぶ方向が一致する如く配置した。ここで、比較のため  $\langle 100 \rangle$  Si 方向にも MOS 装置を形成した。

まず比較のため通常の平坦なステージ上に前記 2 方向の SOSMOS 装置を、それぞれ装置した。そしてその MOS 特性を測定した。このとき、ドレ

イン電圧  $V_D = 50\text{mV}$  として、終端一定とした。この場合のドレイン電流  $I_D$  と、 $V_G$  の関係を図示すると、いずれの方向に形成した MOS 装置も第 4 図の曲線 B の如き特性を示した。次に第 3 図のような凹型ステージ(7)をもつ IC パッケージ(8)に、前記 2 方向の SOSMOS 装置(1)をそれぞれ装置した。このとき凹型ステージの表面の曲率半径は  $40\text{cm}$  とした。これにより Si 膜には大体  $7.5 \times 10^{-4}$  の圧縮歪を加えることが出来る。この状態で、電気的測定をした結果はそれぞれ第 4 図の A, B に示すごとくである。即ち第 2 図の  $\langle 100 \rangle$  Si 方向の SOSMOS 装置(1)は、B のような曲線となつた。即ち凹型ステージを用いたことによる変化は全くなかつた。しかし第 2 図の  $\langle 110 \rangle$  Si 方向に形成した SOSMOS 装置(1)の特性は A のような曲線となつた。即ちドレイン電流が約 10 倍増大した。さらにこの場合、この SOSMOS 装置(1)のしきい値電圧  $V_T$  は変動しなかつた。したがって移動度を約 10 倍向上させたことになる。すなわち本発明を採用することにより移動度を向上させることが出来た。この

ことは半導体装置の高速化に有利である。

上記実施例に用いた凹型ステージ(7)の曲率半径は  $40\text{cm}$  であつたが、この曲率半径をさらに小さくし凹型を急峻にするとさらに移動度を向上させることも見出した。たとえば曲率半径を  $38\text{cm}$  にした場合  $\langle 110 \rangle$  方向にチャネル方向をもつ SOSMOS 装置(1)の正孔の移動度は、凹型ステージ装置前にくらべて、装置後は約 12 倍向上した。

次に第 2 の実施例としてエンハンスメント型 SOSMOS 装置を例に挙げる。

絶縁性単結晶サファイア(T012)面(2)上に(001)真性 Si 単結晶層(3)が設けられこの Si 単結晶層(3)の厚さはたとえば  $0.7\mu\text{m}$  とした。また、ソース・ドレイン領域にはボロンをたとえば熱拡散法により形成した。

ゲート酸化膜はたとえば  $980\text{\AA}$  とした。チャネル部分にはイオン注入法により  $P$  を加速電圧  $170\text{KV}$ 、ドーズ量  $7 \times 10^{11}/\text{cm}^2$  打ち込んだ。

このようなエンハンスメント型 SOSMOS 装置(1)を、実施例 1 と同様に、第 2 図のごとく  $\langle 100 \rangle$

Si 方向と $\langle 110 \rangle$  Si 方向の2種類合計50余個作った。

すなわち、上記2種類の素子を、第5図のようなパッケージに装着した。このパッケージ内には、正三角柱の突起部を設けてある。この高さは、たとえば5 $\mu$ mとした。この上にSOSチップ部を載置する。特に、この場合SOSMOS装置部を第5図(A)に示す如く下にして、しかも、全周性あて被覆で、たとえばネジ止めする。この場合サフアイアの曲率半径は約35 $\mu$ mとした。これにより約 $8.0 \times 10^{-4}$ の圧縮歪をSiに加えることができた。 $\langle 100 \rangle$  Si 方向のSOSMOS装置と $\langle 110 \rangle$  Si 方向のSOSMOS装置における電流特性の測定結果を第6図に示す。

$\langle 100 \rangle$  Si 方向の素子のチップに関するトランジスタのドレイン電流と、ゲート電圧 $V_G$ との関係は第6図の(a)のように、本発明を採用した場合（歪を加えた場合）と採用しない場合（歪を加えない場合）とはまったく変化はみられなかつた。しかし、 $\langle 110 \rangle$  Si 方向のチップに関する本発明を採用した場合（歪を加えた場合）と採用しない場

合（歪を加えない場合）は、それぞれ(a)と(b)のようであつた。すなわち第6図のように圧縮歪を印加した場合は、ドレイン電流が約11%増大した。しかも、しきい値電圧 $V_T$ は変動しなかつた。これは、チャネルを流れる正孔の移動度が、本発明により改善されたことを示すものである。

上記実施例1および2からダイプレッション型SOSMOS装置およびエンハンスメント型SOSMOS装置とも、本発明の如く、そのチャネル方向および印加圧縮歪の方向を選択することによつて、正孔の移動度を向上させることが出来た。

また印加圧縮歪を増大させる程、正孔の移動度を向上させる効果も大きいことも判明した。

本発明による歪の印加状態は、実施例1および2のごとく一軸性の圧縮歪である。しかし、歪の印加方法としては平面内圧縮歪の方法があるが、発明者らの詳細な研究の結果チャネル方向にそつた一軸性歪が最大の効果があることが判明した。

また、チャネル方向に直角な方向からの一軸性圧縮歪に対しては、正孔の移動度を向上させる効

果はほとんど無いことを確かめた。

#### 4. 図面の簡単な説明

第1図及び第2図は本発明の第一実施例を説明するための断面図並びに平面図、第3図は、本発明の第二実施例を説明するための図であり、第4図は、これに対応する特性図、第5図(A)、(B)は、本発明の他の実施例を説明するための図であり、第6図はこれに対応する特性図である。

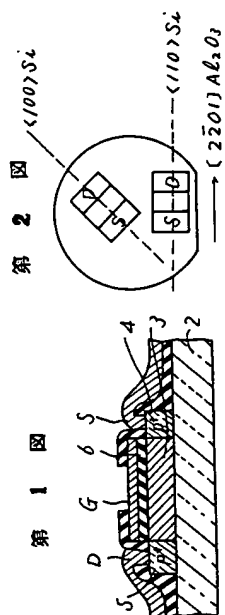
図において、2…サフアイア、3…Si<sub>3</sub>N<sub>4</sub>、4…ソース、5…ドレイン、6…ゲート電極膜。

出願人 工業技術院

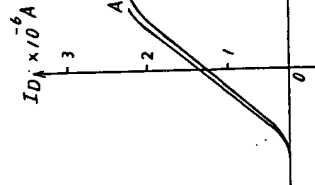
荻田 雅男

4. 1. 1.

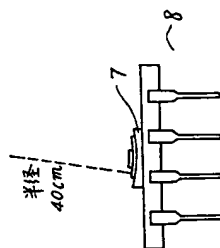
BEST AVAILABLE COPY



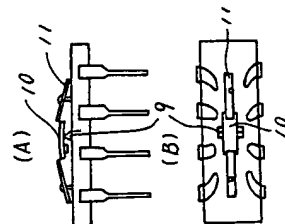
第 4 圖



第 3 圖



第 5 圖



第 0 圖

